

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-247995
 (43)Date of publication of application : 14.10.1988

(51)Int.Cl. G11C 11/34

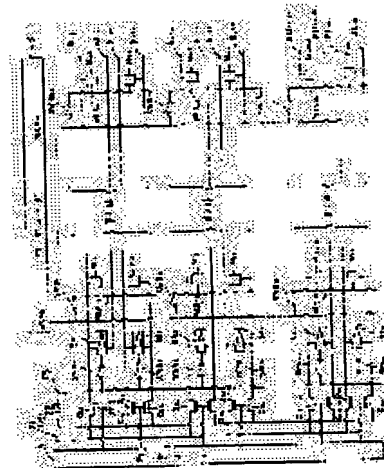
(21)Application number : 62-083162 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 03.04.1987 (72)Inventor : ARIMOTO KAZUTAMI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To eliminate unnecessary activation of memory cell and sense amplifier so as to reduce the power consumption of a semiconductor storage device, by activating the memory cell and sense amplifier of partial rows which are determined in accordance with the row address of a memory cell to be accessed at the time of ordinary accessing time.

CONSTITUTION: A line address RA for ordinary access is given to a line decoder 3 and a signal corresponding to a row address is given to a row decoder 4 based on the discrimination made by an arbiter circuit. When a group containing the row, to which a memory cell (for example, M13) to be accessed belongs, is specified and only the section related to the row containing the memory cell M13 is electrically connected to the row decoder 4, the decoder 4 is activated and the main word line WLM1 of the line decoder 3 is driven. The potential change of the main word line WLM1 is transmitted to an auxiliary word line WLS12 and gates of the cell M13 and M14 are opened. The stored data are extracted as potential differences of bit line pairs BL3a, BL3b and BL4a, BL4b. Moreover, when activating signals are given to a sense amplifier activating signal line 25, the signals are detected and amplified by sense amplifiers SA3 and SA4.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]

【第1図】 Fig. 1

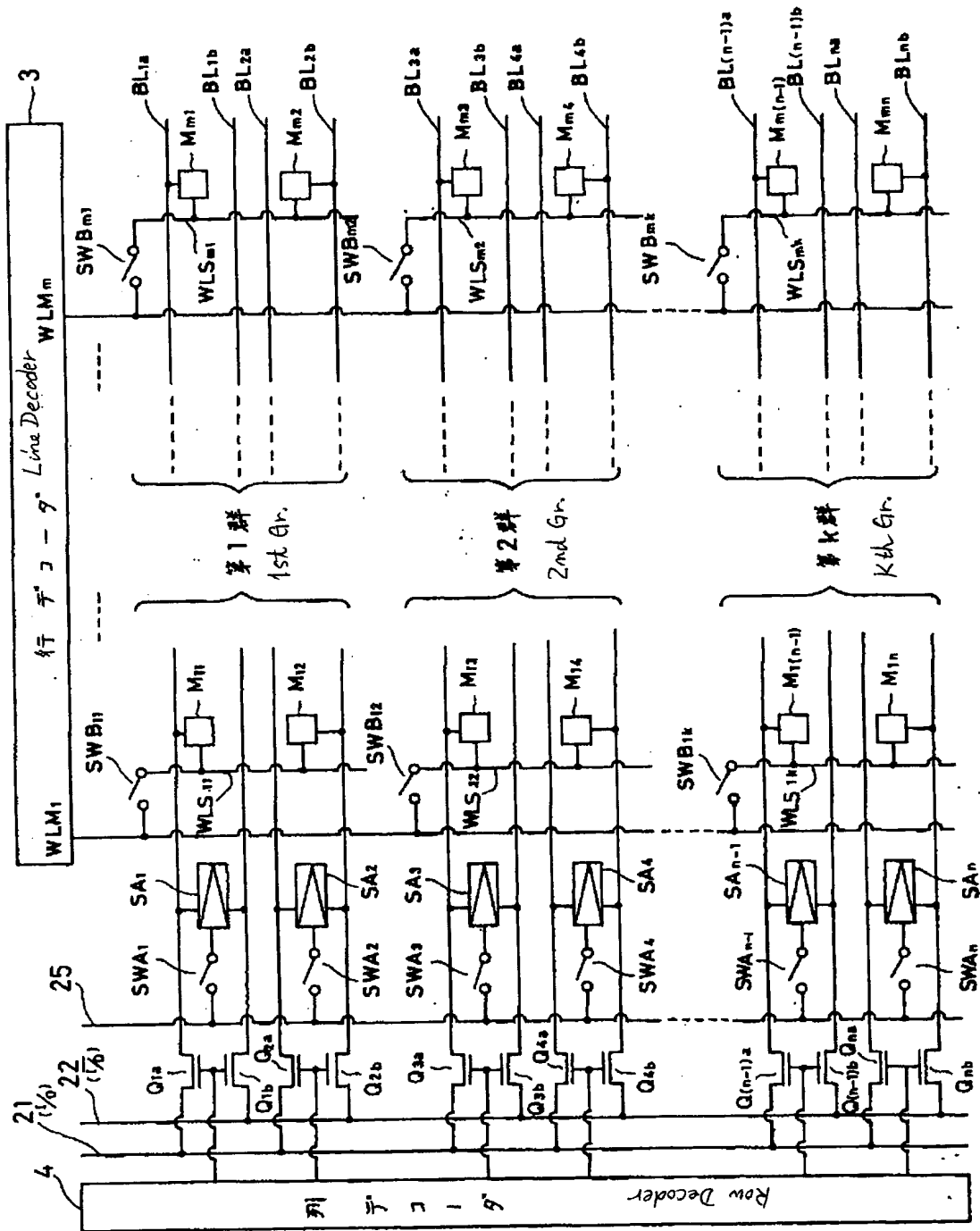
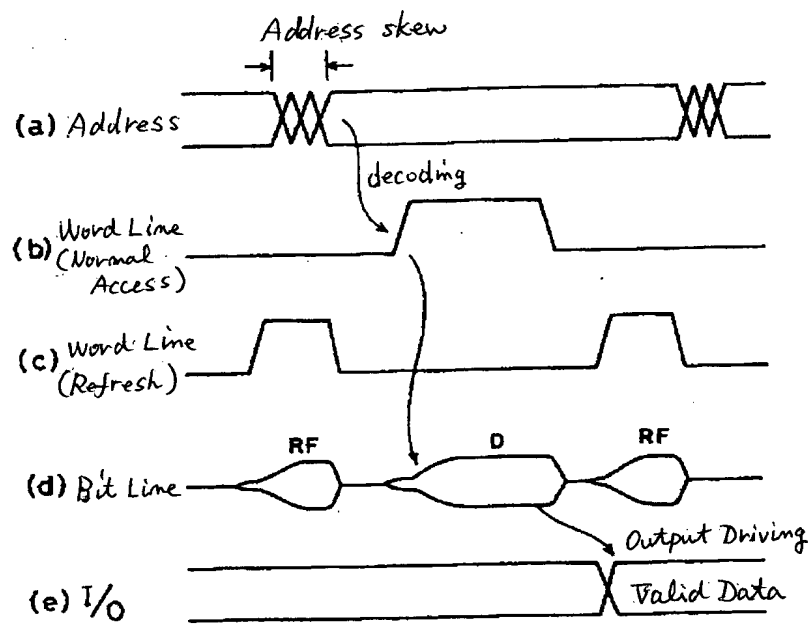


Fig. 4



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-247995

⑬ Int.Cl.⁴
G 11 C 11/34

識別記号
3 6 2

庁内整理番号
H-8522-5B

⑭ 公開 昭和63年(1988)10月14日

審査請求 未請求 発明の数 1 (全8頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭62-83162

⑰ 出 願 昭62(1987)4月3日

⑱ 発 明 者 有 本 和 民 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) メモリセルアレイに対する自己リフレッシュ機能を持った半導体記憶装置において、

前記メモリセルアレイへの通常アクセス時において、前記メモリセルアレイの各列の構成要素およびセンスアンプのうち、当該アクセスの列アドレスに応じて定まる一部の列に関連する部分のみを活性化可能とする部分活性化手段を設けたことを特徴とする半導体記憶装置。

(2) 行デコーダ側に接続された主ワード線が行ごとに設けられているほかに、メモリセル側に接続された副ワード線が所定数のメモリセルごとに個別に設けられており、

部分活性化手段が、

前記主ワード線と各副ワード線との間にそれぞれ介挿された複数の第1のスイッチング手段と、各センスアンプとセンスアンプ活性化信号ライ

ンとの間にそれぞれ介挿された複数の第2のスイッチング手段と、

通常アクセス時において、前記第1と第2のスイッチング手段のうち、与えられた列アドレスに応じて定まる列に関連する部分のみをオンとするスイッチング制御手段とを備えることを特徴とする、特許請求の範囲第1項記載の半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、自己リフレッシュ機能を持った半導体記憶装置の消費電力軽減技術に関する。

(従来の技術)

自己リフレッシュ機能を持った半導体記憶装置として、パーチャリストティックRAM(以下、「VSRAM」と言う。)が知られている。このVSRAMは、ダイナミックRAMに用いられるメモリセルを用いて実質的にスタティックRAMを実現するものである。すなわち、各メモリセルは、ひとつのMOSFETとひとつのキャパシタとを用いて形成されており、このメモリセルに対

するリフレッシュ関係の動作をオンチップで行なう。このためユーザがリフレッシュのための回路を準備する必要がなく、VSRAMは、ユーザに負担がかからないメモリとなっている。

第2図はこのようなVSRAMの全体構成を示すブロック図であり、第3図はその中に含まれる従来のメモリセル周辺の回路図である。この装置はK. Nogami et al., "1-Mbit Virtually Static RAM", IEEE J. Solid-State Circuits, vol. SC21 No.5, Oct. 1986に開示されている。

図面において、第2図のVSRAMは第3図に示したメモリセル M_{ij} ($i=1\sim m$, $j=1\sim n$)の2次元配列を含むメモリアレイ1を備えている。このメモリアレイ1に対して通常アクセス（すなわち、データの読出のための外部からのアクセス）を行なう際には、第4図(a)に示すようなタイミングで行アドレスRAおよび列アドレスCAが外部から与えられ、これらのアドレスRA, CAは、行アドレスバッファ7および列アドレスバッファ

12においてそれぞれバッファされる。

このうち、行アドレスバッファ7から出力された行アドレスRAはアドレスマルチプレクサ8に与えられる。リフレッシュ動作が行なわれていないときには、通常アクセス要求ACSRREQにตอบสนองしてアービタ回路11がアドレスマルチプレクサ8を行アドレスバッファ7側に切換えており、このアドレスマルチプレクサ8を介して行アドレスRAが行デコーダ3に与えられる。行デコーダ3は行アドレスRAをデコードして、メモリアレイ1中のひとつの行を選択し、第3図のワード線 WL_i ($i=1\sim m$)のうち、選択された行についてのワード線を第4図(b)のように活性化する。

データ読出し時においては、このようにして選択された行に属するメモリセル（たとえば $M_{21}\sim M_{2n}$ ）からデータが読出され、センスアンプ群2に含まれるすべてのセンスアンプ SA_j ($j=1\sim n$)が活性化されることによって、これらのデータの検出および増幅がビット線 BL_{ja} , BL_{jb} ($j=1\sim n$)上で行なわれる。この動作は第4図(d)中にデ

ータDとして示されている。

一方、列アドレスバッファ12でバッファされた列アドレスCAはタイミングジェネレータ6を介して列デコーダ4に与えられる。列デコーダ4はこの列アドレスCAをデコードして、メモリアレイ1中の特定の列を選択し、第3図のI/Oゲートトランジスタ Q_{ja} , Q_{jb} ($j=1\sim n$)のうち、選択された列についてのトランジスタをオンとする。

そして、選択された列についてのデータはI/O線21およびI/O線22を介して第2図のバッファレジスタ5に保持された後、入出力バッファ14を介して、第4図(c)のタイミングで入出力ピンへと出力される。なお、バッファレジスタ5は、メモリセルのデータをこのバッファレジスタ5に移すことにより、メモリセルを通常アクセスから早期に解放し、それによってリフレッシュの実行可能期間を広げるために設けられている。

一方、このVSRAMのリフレッシュは、ワード線 WL_i やメモリセル M_{ij} 、それにセンスアンプ群2が通常アクセスによって使用されていない

期間を利用して行なわれる。このような期間としては、通常アクセスにおいてアドレスキューを持つ期間やアドレスをデコードしている期間、それに、出力回路を駆動している期間などがある。

具体的には、まず、メモリセル M_{ij} におけるデータ保持可能時間に応じた時間をリフレッシュタイマ10が計時し、リフレッシュを必要とする時刻になるとリフレッシュタイマ10からリフレッシュ要求信号REFREQがアービタ回路11に出力される。また、リフレッシュタイマ10からの出力にตอบสนองして、リフレッシュアドレスカウンタ9がリフレッシュすべきアドレスをアドレスマルチプレクサ8に出力する。

アービタ回路11はコントロール回路13およびタイミングジェネレータ6によってコントロールされている。そして、メモリセルが通常アクセスから解放されているときには、アービタ回路11がアドレスマルチプレクサ8を切換えて、リフレッシュアドレスカウンタ7の出力を行デコーダ3に与える。それによって、指定されたワード線

が第4図(c)のように活性化し、指定された行アドレスに属するメモリセルのリフレッシュが開始される。この動作におけるビット線 BL_{ja} 、 BL_{jb} の活性化状態が第4図(d)に信号RFで示されている。

なお、リフレッシュ要求信号REFREQが与えられた時点において通常アクセスによるメモリセル M_{1j} の使用が行なわれているときには、その使用が完了するまでリフレッシュ待機状態とさせる。そして、メモリセル M_{1j} が通常アクセスから解放された後にリフレッシュ動作を行なわせる。

また、逆にリフレッシュ動作が行なわれている間に通常アクセス要求があったときには、リフレッシュ動作からメモリセルが解放された後に通常アクセス動作が実行される。

(発明が解決しようとする問題点)

従来のVSRAMは以上のように構成されているため、通常アクセス時において、選択されたメモリセル(たとえば M_{22})と同じ行に属するメモリセル($M_{21} \sim M_{2n}$)のすべてが、ワード線 WL

2の電位の立上げによってビット線 BL_{ja} 、 BL_{jb} ($j=1 \sim n$)に接続される。そして、センスアンプ SA_j ($j=1 \sim n$)もすべてが活性化される。

しかしながら、実際にデータの読出しを行なうのは選択されたメモリセル M_{22} のみであって、同一行に属する他のメモリセル M_{2j} ($j \neq 2$)やビット線 BL_{ja} 、 BL_{jb} ($j \neq 2$)、それにセンスアンプ SA_j ($j \neq 2$)の動作は必要ではない。それにもかかわらず、従来の半導体記憶装置では、このような無用な部分も活性化してビット線の充放電に電力を使っているため、消費電力が大きいという問題があった。

この発明は上記のような問題点を解消するためになされたもので、通常アクセス時における消費電力を軽減することのできる半導体記憶装置を提供することを目的とする。

(問題点を解決するための手段)

この発明は、メモリセルアレイに対する自己リフレッシュ機能を持った半導体記憶装置において、前記メモリセルアレイへの通常アクセス時におい

て、前記メモリセルアレイの各列の構成要素およびセンスアンプのうち、当該アクセスの列アドレスに応じて定まる一部の列に関連する部分のみを活性化可能とする部分活性化手段を設けている。

(作用)

この発明では部分活性化手段を設けることによって、メモリセル、ビット線およびセンスアンプのうち、通常アクセスに無用の部分の一部または全部は動作せず、それによって消費電力が軽減される。

すなわち、通常のダイナミックRAMでは行アドレスが先に与えられてワード線が活性化された後に、列アドレスによるビット線の選択が行なわれる。従って、ワード線の活性化を行なう時点ではどの列がアクセスされるかが不明であり、また、通常アクセスであるのかリフレッシュのためのアクセスであるのかも不明である。

これに対して、自己リフレッシュ機能を有する半導体記憶装置では、行アドレスと列アドレスとが同時に取込まれる。またリフレッシュ要求は内

部的に生成されるため、そのアクセスが通常アクセスであるのか、リフレッシュのためのアクセスであるのかも早期に判定できる。

このため、通常アクセスの場合に、列アドレスに応じて定まる列に関連する部分のみを活性化可能にすることが可能となるのである。ただし、「列アドレスに応じて定まる列」とは、列アドレスで指定される列そのものだけであってもよく、その列を含む複数列であってもよい。換言すれば、すべての列が活性化してしまうという事態を回避することにより、消費電力の軽減を行なうことになる。

なお、リフレッシュ動作は従来とほぼ同じ方式で実行される。

(実施例)

以下、この発明をVSRAMの適用した一実施例について説明する。この実施例の全体構成は第2図に示した装置と同様であり、従来装置と異なるのは、メモリアレイ1とその周辺の構成である。そこで、以下では、この実施例におけるメモリア

レイ1とその周辺回路とを示した第1図を中心として説明を進める。

まず、この実施例では、メモリアレイ1におけるワード線として2種類のワード線を設けている。そのひとつは行デコーダ3側に接続された行ごとの主ワード線 WLM_i ($i=1\sim n$)である。他のひとつは、メモリセル M_{ij} 側に接続されて、行の伸びる方向に沿って隣接した2個ずつのメモリセル (たとえば M_{11} と M_{12} 、 M_{13} と M_{14}) ごとに設けられた副ワード線 WLS_{if} ($i=1\sim n$, $f=1\sim k$; $k=n/2$)である。そして、各副ワード線 WLS_{if} と主ワード線 WL_j との間には、第1のスイッチング回路 SWB_{if} ($i=1\sim n$, $f=1\sim k$)がそれぞれ介挿されている。

また、第2図のタイミングジェネレータ6から与えられて第1図のセンスアンプ SA_j ($j=1\sim n$)へと伸びるセンスアンプ活性化信号ライン25と、これらのセンスアンプ SA_j との間には、第2のスイッチング回路 SWA_j ($j=1\sim n$)が介挿されている。

アクセスすべきメモリセルが属する列を含んだ群を特定する。たとえば第1図のメモリセル M_{13} がアクセスされる場合には、このメモリセル M_{13} が属する列を含んだ第2群が特定される。

そして、この第2群内に含まれる第1と第2のスイッチング回路 $SWB_{12}\sim SWB_{n2}$; SWA_3 、 SWA_4 をすべてオンとし、残りのスイッチング回路 SWA_j ($j\neq 3, 4$)、 SWB_{ij} ($j\neq 2$)はすべてオフとしておく。

このようにして、アクセスすべきメモリセル M_{13} が属する列に関連した部分のみが電気的に互いに接続されて活性化可能状態とされた後、行デコーダ3が主ワード線 WLM_1 を駆動する。このプロセスにおいて、列アドレスCAは行アドレスRAと同時に入力されているため、主ワード線 WLM_1 の駆動開始までの行デコーダ3側の待機時間は実質的にゼロである。

第2群に含まれる第1のスイッチング回路 $SWB_{12}\sim SWB_{n2}$ がすべてオンであることにより、行デコーダ3によって駆動された主ワード線 WL

メモリセルアレイ1が多数の行と列を含むことから、図示したように、これらの第1と第2のスイッチング回路 SWB_{if} 、 SWA_j は複数個ずつ存在しており、これらはたとえばMOSFETを用いて形成されている。そして、それらのスイッチング信号は、図示しないスイッチング信号線を介して列デコーダ4から与えられるようになっている。なお、以下では、行が伸びる方向に沿ってビット線対 BL_{ja} 、 BL_{jb} を2組ずつ組合わせたものを考え、各組合せ部分に属するメモリセルやセンスアンプなどを總称して、行デコーダ3に近い順に「第1群」($f=1, 2, \dots, k$)と呼ぶことにする。

次に、この実施例の動作を説明する。まず、通常アクセス時において、第2図のアービタ回路11の判定によって通常アクセスのための行アドレスRAが行デコーダ3に与えられる。また、これと並行して、列アドレスCAに属した信号が列デコーダ4に与えられる。

列デコーダ4では、列アドレスCAに基づいて、

M_1 の電位変化は副ワード線 WLS_{12} に伝達され、それによってメモリセル M_{13} 、 M_{14} のゲートが開く。そして、これらのメモリセル M_{13} 、 M_{14} に記憶されたデータはビット線対 BL_{3a} 、 BL_{3b} ; BL_{4a} 、 BL_{4b} のそれぞれの電位差として取出される。さらに、センスアンプ活性化信号線25にセンスアンプ活性化信号が与えられると、これらがセンスアンプ SA_3 、 SA_4 によってそれぞれ検出・増幅される。

その後、列デコーダ4からのI/Oゲート信号によってI/Oゲートトランジスタ Q_{3a} 、 Q_{3b} がオンし、センスアンプ SA_3 の出力がI/O線21およびI/O線22を介して第2図のバッファレジスタ5に転送される。その後、主ワード線 WLM_1 の電位(したがって副ワード線 WLS_{12} の電位)が立下がり、第1と第2のスイッチング回路 $SWB_{12}\sim SWB_{n2}$; SWA_3 、 SWA_4 がオフとされる。そして、ビット線 BL_{3a} 、 BL_{3b} がプリチャージされ、すべてのメモリセル M_{ij} が通常アクセスから解放される。

次にリフレッシュ時の動作について説明する。例として主ワード線 WLM_1 に接続されているメモリセル $M_{11} \sim M_{1n}$ をリフレッシュする場合を考える。この場合には、リフレッシュ要求 $REFREQ$ に基づいてアービタ回路11がアドレスマルチプレクサ8を切换え、それによって、リフレッシュアドレス FFA が行デコーダ3に与えられる。

一方、アービタ回路11からリフレッシュを行なう旨の信号がタイミングジェネレータ6を介して列デコーダ3に与えられる。それに基いて列デコーダ3は第1と第2のスイッチング回路 SWB_{1f} 、 SWA_j ($i=1 \sim n$, $f=1 \sim k$, $j=1 \sim n$)のすべてをオンとする。

このため、主ワード線 WLM_1 の電位が立上ると第1行目の副ワード線 WLB_{1f} ($f=1 \sim k$)のすべての電位も立上り、第1行目のメモリセル $M_{11} \sim M_{1n}$ のそれぞれに記憶されていたデータが各ビット線 BL_{ja} 、 BL_{jb} ($j=1 \sim n$)に読出される。そして、センスアンプ活性化信号ライン25にセンスアンプ活性化信号が与えられると各センスアンプ

が $SA_1 \sim SA_n$ が検出・増幅動作を開始する。それによってビット線 BL_{ja} 、 BL_{jb} ($j=1 \sim n$)上のデータが増幅され、それがメモリセル $M_{11} \sim M_{1n}$ 内に取込まれることによってリフレッシュが行なわれる。

その後、主ワード線 WLM_1 および副ワード線 WLB_{1f} ($f=1 \sim k$)が立下がり、第1と第2のスイッチング回路 SWB_{1f} 、 SWA_j ($i=1 \sim n$, $f=1 \sim k$, $j=1 \sim n$)のすべてがオフとされ、ビット線 BL_{ja} 、 BL_{jb} ($j=1 \sim n$)がプリチャージされる。これによって、メモリセル1はリフレッシュ動作から解放される。

すなわち、リフレッシュ時には第1と第2のスイッチング回路のすべてをオンとするのであり、このときには従来装置と同様のリフレッシュ動作がなされることになる。リフレッシュを行なう行以外についての第1のスイッチング回路 SWB_{1f} ($i \neq 1$, $f=1 \sim k$)については必ずしもオンとする必要はないが、それらについての主ワード線 $WL_2 \sim WL_n$ の電位は立たないため、上記

のように第1のスイッチング回路 SWB_{1f} ($i=1 \sim n$, $f=1 \sim k$)のすべてをオンとしても支障はない。

なお、上記実施例ではVSRAMにこの発明を適用したが、ひとつのトランジスタとひとつのキャパシタからなるダイナミックRAMのメモリセルを用いていながらスタティックRAMのようにして使用可能なPSRAM(擬似スタティックRAM)などにもこの発明は適用可能である。このPSRAMそのものについては、H. Kawamoto et al., "A 288K CMOS Pseudostatic RAM" IEEE J. Solid-State Circuits vol. SC-19, No. 5, Oct. 1984に開示されている。

このような自己リフレッシュ型の半導体記憶装置全般にこの発明が適用可能な理由は、これらでは通常アクセスとリフレッシュ動作との区別を比較的早いタイミングで知ることができるためである。

また、上記実施例では、行が伸びる方向に沿って隣接する2個のメモリセルごとに副ワード線や

第1のスイッチング回路を設けたが、必ずしも2個ずつのメモリセルを単位とする必要はなく、任意の個数のメモリセルを単位とすればよい。主ワード線 WLM_1 と各メモリセル M_{ij} のそれぞれの間に第1のスイッチング回路を設けるときには、副ワード線を設ける必要はなく、主ワード線と各メモリセルの間に第1のスイッチング回路を直接介接させればよい。

(発明の効果)

以上説明したように、この発明によれば、通常アクセス時においてアクセスすべきメモリセルの列アドレスに応じて定まる一部の列についてメモリセルやセンスアンプを活性化可能とするため、無用の部分の活性化が行なわれず、消費電力を軽減させることができる。

4. 図面の簡単な説明

第1図はこの発明の一実施例におけるメモリセルとその周辺回路の一部を示す部分回路図、第2図はVSRAMの全体構成を示すブロック図、第3図は従来のVSRAMにおけるメモリセルとそ

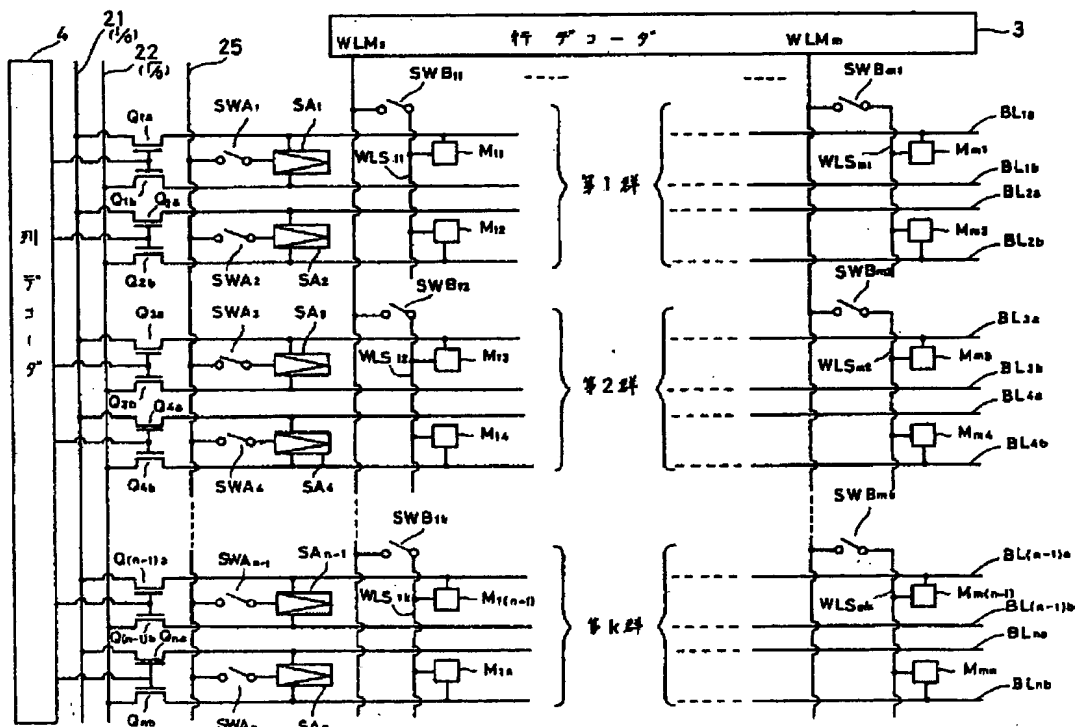
の周辺回路の一部を示す部分回路図、第4図はVSRAMの動作例を示すタイミングチャートである。

図において、1はメモリセル、2はセンスアンプ群、3は行デコーダ、4は列デコーダ、 M_{ij} はメモリセル、 SA_j はセンスアンプ、 WLM_i は主ワード線、 WLS_{ij} は副ワード線、 SWB_{ij} は第1のスイッチング回路、 SWA_j は第2のスイッチング回路である。

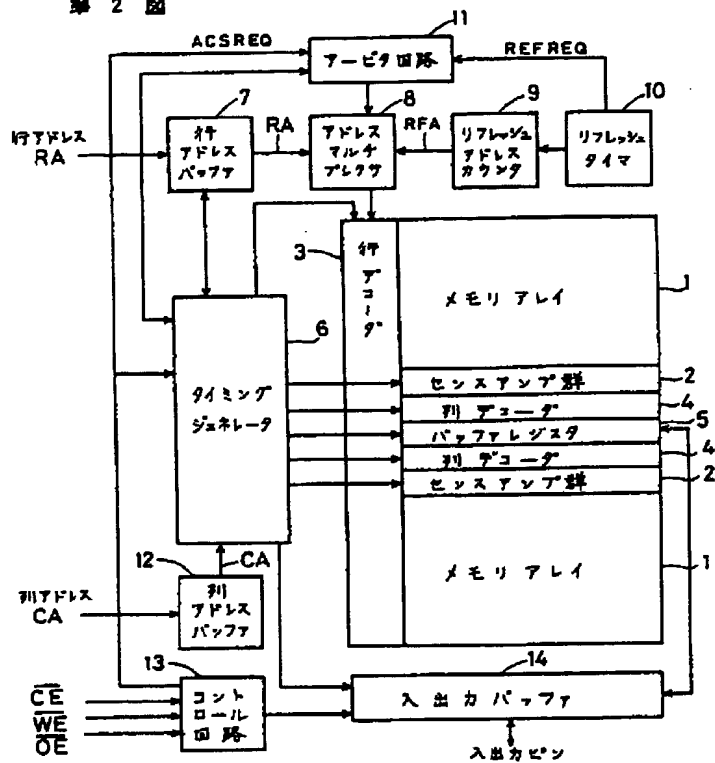
なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

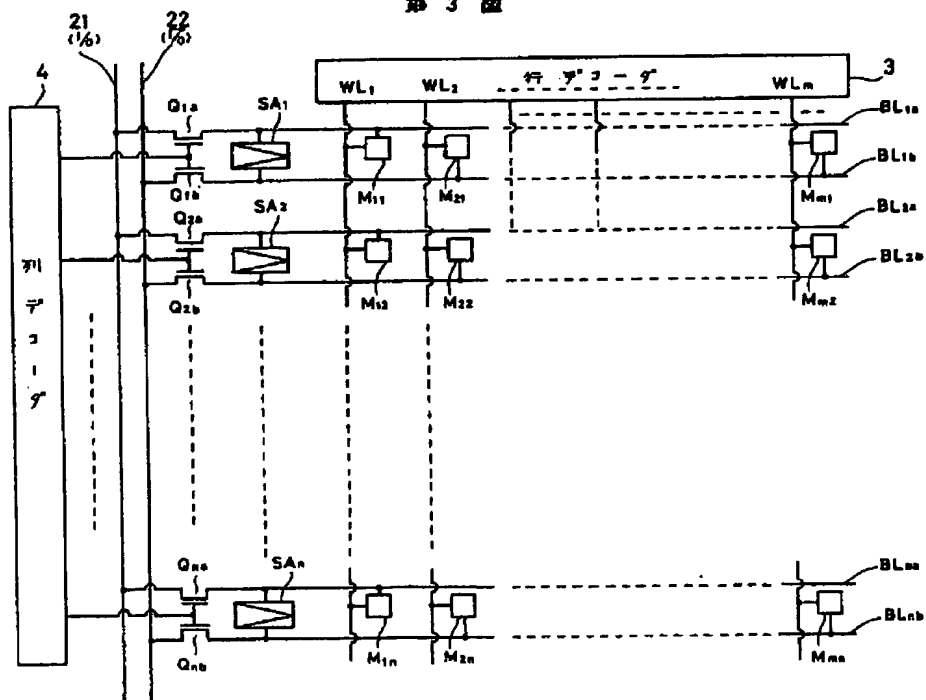
第1図



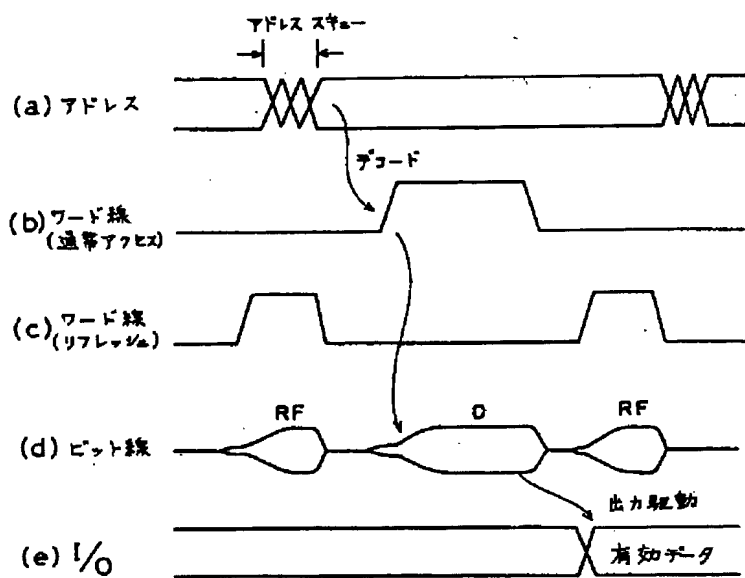
第 2 図



第 3 図



第 4 図



特許法第17条の2の規定による補正の掲載

平 4. 4. 3発行

昭和 62 年特許願第 83162 号(特開昭
63-247995 号, 昭和 63 年 10 月 14 日
発行 公開特許公報 63-2480 号掲載)につ
いては特許法第17条の2の規定による補正があっ
たので下記のとおり掲載する。 6 (4)

Int. Cl. ¹	識別 記号	庁内整理番号
G11C 11/401		H-8526-5L G11C 11/34 -362

平成 4. 4. 3 発行

手 続 補 正

平成 3 年 10 月 17 日

特許庁長官殿

1. 事件の表示 特願昭62-83162号
2. 発明の名称

半導体記憶装置

3. 補正をする者

事件との関係 特許出願人

住所 東京都千代田区丸の内二丁目2番3号

名称 (001) 三菱電機株式会社

代表者 志岐 守哉

4. 代 理 人

住所 東京都千代田区丸の内二丁目2番3号

三菱電機株式会社内

氏名 (7375)弁理士 大岩 増雄



方 式
特 許



5. 補正の対象

明細書の「特許請求の範囲の欄」及び「発明の
詳細な説明の欄」

6. 補正の内容

- (1) 特許請求の範囲を別紙の通り補正する。
- (2) 明細書第2頁第10行の「自己リフレッ
シュ」を、「リフレッシュ」に訂正する。
- (3) 明細書第8頁第18行ないし第19行の
「自己リフレッシュ」を、「リフレッシュ」に訂
正する。
- (4) 明細書第9頁第18行の「自己リフレッ
シュ」を、「リフレッシュ」に訂正する。

以上

2. 特許請求の範囲

(1) メモリセルアレイに対するリフレッシュ
機能を持った半導体記憶装置において、

前記メモリセルアレイへの通常アクセス時にお
いて、前記メモリセルアレイの各列の構成要素お
よびセンスアンプのうち、当該アクセスの列アド
レスに応じて定まる一部の列に関連する部分のみ
を活性化可能とする部分活性化手段を設けたこと
を特徴とする半導体記憶装置。

(2) 行デコード側に接続された主ワード線が
行ごとに設けられているほかに、メモリセル側に
接続された副ワード線が所定数のメモリセルごと
に個別に設けられており、

部分活性化手段が、

前記主ワード線と各副ワード線との間にそれぞ
れ介挿された複数の第1のスイッチング手段と、
各センスアンプとセンスアンプ活性化信号ライ
ンとの間にそれぞれ介挿された複数の第2のスイ
ッチング手段と、

通常アクセス時において、前記第1と第2のス

平成 4. 4. 3 発行

イッチング手段のうち、与えられた列アドレスに
応じて定まる列に関係する部分のみをオンとする
スイッチング制御手段とを備えることを特徴とす
る、特許請求の範囲第 1 項記載の半導体記憶装置。